

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-104569

(43)Date of publication of application : 15.04.1994

---

(51)Int.Cl. H05K 3/46

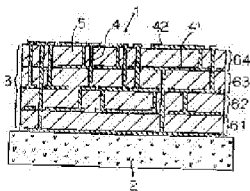
---

(21)Application number : 04-278034 (71)Applicant : NGK SPARK PLUG CO  
LTD

(22)Date of filing : 22.09.1992 (72)Inventor : KATO ONORI  
KIMURA YUKIHIRO  
KANBE ROKURO

---

(54) MULTILAYER WIRING BOARD AND PRODUCTION THEREOF



(57)Abstract:

PURPOSE: To produce a high density wiring board at low cost by composing the wiring conductor of a surface wiring located on the outer surface of a multilayer wiring layer and an internal wiring formed of thick film thereby reducing transmission loss of signal.

CONSTITUTION: A multilayer wiring layer 3 is composed of a plurality of wiring layers, each having a wiring conductor 4 and a dielectric ceramic film 5, wherein

an internal wiring 41 located in the multilayer wiring layer 3 is formed of a thick film of Cu including a conductive via. On the contrary, a surface wiring 42 located on the uppermost surface is formed of a thin film having three layer structure of Ti, Pd and Au. Transmission loss of signal can be sustained low because the internal wiring has a stabilized low resistance and a high density wiring board can be produced at low cost because the internal wiring is formed of a thick film.

---

## LEGAL STATUS

[Date of request for examination] 09.12.1998

[Date of sending the examiner's  
decision of rejection] 24.10.2000

[Kind of final disposal of application  
other than the examiner's decision of  
rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

\* NOTICES \*

**JPO and NCIP are not responsible for any  
damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

## CLAIMS

---

[Claim(s)]

[Claim 1] a ceramic substrate and wiring -- the multilayer-interconnection substrate which the multilayer-interconnection layer to which two or more laminatings of the wiring layer which has a conductor and a ceramic insulator layer were carried out unified -- setting -- said wiring -- the multilayer-interconnection substrate characterized by equipping a conductor with the front wiring located in the outside surface of a multilayer-interconnection layer, and internal wiring located in the interior, and forming internal wiring with the thick film.

[Claim 2] The multilayer-interconnection substrate of claim 1 in which front wiring is formed with the thin film.

[Claim 3] The multilayer-interconnection substrate of claim 1 with which a ceramic insulator layer uses as a principal component at least one or more sorts chosen from among cordierite, a mullite, and glass ceramics.

[Claim 4] a ceramic substrate top -- wiring -- the manufacture approach of the multilayer-interconnection substrate which is characterized by having each following process in carrying out two or more laminatings of the wiring layer which has a conductor and a ceramic insulator layer, and unifying.

(A) baking -- wiring -- the process which calcinates it after screen-stenciling the metallizing ink used as a conductor to a predetermined circuit pattern.

(B) The process calcinated after applying the photosensitive paste which serves as a ceramic insulator layer by baking and exposing and developing negatives through a photo mask.

[Claim 5] Process (A) The manufacture approach of the multilayer-interconnection substrate of claim 4 which forms a predetermined circuit pattern in a front face with a thin film after repeating - (B).

---

[Translation done.]

**\* NOTICES \***

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention may be used suitable for a high density IC package about the multilayer-interconnection substrate which the ceramic substrate and the multilayer-interconnection layer unified.

[0002]

[Description of the Prior Art] The high density IC package consists of a ceramic substrate which serves as a base material, and the thin film wiring section formed in the main front face of this ceramic substrate, the frame for the closures which becomes the periphery section of that top face from cover etc. further by the case is joined, or the I/O pin which consists of much cover etc. is joined to the rear face of a multilayer-interconnection substrate.

[0003] The ceramic substrate consisted of ceramics which uses an alumina etc. as a principal component, and it has the insulating layer of two or more sheets of a plate configuration, and the various circuit patterns formed in the main front face of each insulating layer with the refractory metal, and when the maximum upper layer forms thin film wiring, it is ground in order to prevent the focal dotage

at the time of exposure, and surface waviness is removed.

[0004] various wiring which the thin film wiring section became the main front face of the insulator layer of two or more sheets which consists of minerals insulating materials, such as organic insulating materials, such as polyimide, or glass, and crystallization glass, and each insulator layer from low resistance metals, such as active metals, such as titanium or chromium, and gold, and copper, and was formed in thin film technologies, such as vacuum evaporation, sputtering, and plating, -- it has the conductor. And in order to aim at the flow between layers, electric conduction beer is suitably prepared in each insulator layer. Here, in order that an active metal may improve adhesion with an insulator layer, vacuum evaporation, sputtering, etc. are carried out, but since it is difficult to secure conductor thickness sufficient with chisels, such as vacuum evaporation and sputtering, the low resistance metal is plated.

[0005]

[Problem(s) to be Solved by the Invention] however, the thing which constitutes an insulator layer from organic insulating materials, such as polyimide, in the above-mentioned Prior art -- the organic insulating material itself -- very much -- being expensive -- in addition, wiring -- a conductor must be inevitably formed by the thin film technology. thus, a thin film technology -- wiring -- thin film wiring which forms a conductor and comes to form a circuit pattern with the so-called photolithography is the high technique of cost in which the process is also long. Therefore, polish cost and the cost accompanying the increment in a thin film wiring layer are added, and it becomes remarkable cost quantity.

[0006] moreover, the time of what constitutes an insulator layer from minerals insulating materials, such as glass and glass ceramics, applying and calcinating the paste containing these minerals insulating material -- wiring -- a conductor -- an inner active metal and an inner low resistance metal -- being spread -- suiting -- wiring -- a resistance rise of a conductor and fixing degradation on the strength are caused. The purpose of this invention solves the technical problem of such a conventional technique, and is to offer the multilayer-interconnection substrate

equipped with the wiring layer of high density at low cost.

[0007]

[Means for Solving the Problem] the means -- a ceramic substrate and wiring -- the multilayer-interconnection substrate which the multilayer-interconnection layer to which two or more laminatings of the wiring layer which has a conductor and a ceramic insulator layer were carried out unified -- setting -- said wiring -- a conductor is equipped with the front wiring located in the outside surface of a multilayer-interconnection layer, and internal wiring located in the interior, and the multilayer-interconnection substrate characterized by being formed with the thick film has internal wiring.

[0008] In this multilayer-interconnection substrate, as for desirable one, front wiring is formed with the thin film. The same desirable thing uses as a principal component at least one or more sorts as which a ceramic insulator layer is chosen from among cordierite, a mullite, and glass ceramics.

[0009] the means of 1 which manufactures such a multilayer-interconnection substrate -- a ceramic substrate top -- wiring -- in carrying out two or more laminatings of the wiring layer which has a conductor and a ceramic insulator layer, and unifying, it is characterized by having each following process.

(A) baking -- wiring -- the process which calcinates it after screen-stenciling the metallizing ink used as a conductor to a predetermined circuit pattern.

(B) The process calcinated after applying the photosensitive paste which serves as a ceramic insulator layer by baking and exposing and developing negatives through a photo mask.

After desirable one repeats process (A) - (B) in the above-mentioned manufacture means, it is the approach of forming a predetermined circuit pattern in a front face with a thin film.

[0010] Here, as for the metallizing ink used as the thick film conductor of internal wiring, what uses Cu, Ag, Ag/Pd mixture, Au, and Au/Pd mixture as a principal component is desirable. Moreover, as a thin film conductor of front wiring, what carried out sputtering of Ti and the Pd to order, and gave Au plating on it, and

what carried out sputtering of Ti and the Cu to order, and plated Cu, nickel, and Au in order on it and the thing which carried out sputtering of the Mo in the middle of said Ti and Cu further are desirable.

[0011] as the mask used for screen-stencil in each above-mentioned manufacture means -- the line breadth of 15-25 micrometers, and sha -- the thing of the range of 20-45 micrometers of thickness, 300-400 meshes, the hole pitch of 60-90 micrometers, 10-20 micrometers of emulsion thickness, and 40 - 60% of numerical apertures is good.

[0012]

[Function] since internal wiring of a multilayer-interconnection layer is formed with the thick film, even if it receives the heat history by baking -- internal wiring -- a conductor diffuses and a resistance rise is not caused Moreover, in order to form a circuit pattern by screen-stenciling metallizing ink, a process serves as low cost short. Furthermore, if a photosensitive paste is used for the raw material of a ceramic insulator layer, the electric conduction beer which penetrates the thickness direction can be formed minutely and with high precision with photolithography called exposure development. In addition, the detailed pitch and the circuit pattern which balances with high precision of the ceramic insulator layer formed with photolithography can be easily formed by screen-stenciling metallizing ink using the above-mentioned mask.

[0013] if front wiring is formed with the thin film on the other hand unlike internal wiring -- a conductor -- a front face becomes flat and neither a bonding wire nor a TAB lead is slippery in the cases, such as IC bonding and TAB junction In addition, since front wiring does not receive the heat history, even if it forms with a thin film, it does not have fear of the resistance rise by the thermal diffusion of an active metal and a low resistance metal.

[0014]

[Example]

- Explain the multilayer-interconnection substrate in connection with the example of example 1-[structure of multilayer-interconnection substrate] this invention with

a drawing. Drawing 1 is the sectional view of a multilayer-interconnection substrate.

[0015] The multilayer-interconnection substrate 1 is what the ceramic substrate 2 and the multilayer-interconnection layer 3 on it unified, and the characteristic impedance is designed by 50 ohms. Itself may be the multilayer-interconnection substrate which has internal wiring, and a ceramic substrate 2 may be a veneer which does not have internal wiring.

[0016] the multilayer-interconnection layer 3 -- wiring -- two or more laminatings of the wiring layer 6 which has a conductor 4 and the ceramic insulator layer 5 are carried out. and wiring -- the internal wiring 41 located in the interior of the multilayer-interconnection layer 3 among conductors 4 is formed with the thick film with 10 micrometers [ in thickness ], and a width of face of 50 micrometers which consists of Cu also including electric conduction beer with a diameter of 50 micrometers.

[0017] on the other hand -- wiring -- the front wiring 42 located in the maximum top face among conductors 4 is the same width of face as the internal wiring 41, it is formed with the thin film which consists of Ti with a thickness of 2000Å, Pd with a thickness of 5000Å, and 3 layer structures (illustration abbreviation) of Au with a thickness of 2 micrometers, and the display flatness is >90%. a bonding pad cross-section configuration as indicated to be display flatness to drawing 2 here -- setting -- wiring -- the width of face whose height from the front face of t and the ceramic insulator layer 5 is 0.8t about the thickness of a conductor 42 was defined with  $x(B/A) \geq 100$ , when setting full [ of B and a pad ] to A. Incidentally in the case of the usual thick-film method, display flatness is as low as 60 - 80%. Moreover, the ceramic insulator layer 5 is formed in the glass ceramics of the dielectric constant 8.8 which consists of HOU lead silicate system glass and an alumina, and the thickness is 60 micrometers.

[0018] The [manufacture approach which is multilayer-interconnection substrate] The concrete manufacture approach of the above-mentioned multilayer-interconnection substrate is explained below. First, the electric conduction beer



which carries out the interlayer connection of each wiring of the green sheet of five sheets which uses ceramics, such as an alumina, as a principal component etc. is pierced and processed, and this beer is filled up with metal pastes, such as Tungsten W or Molybdenum Mo. A metal paste is screen-stenciled to a predetermined pattern, and various circuit patterns and blaze pads (illustration abbreviation), such as signal wiring, power-source wiring, and touch-down wiring, are formed in the front face of the green sheet by which beer restoration was carried out. And the laminating of these green sheets was carried out, after thermocompression bonding was carried out, it was calcinated at the elevated temperature around 1500 degrees, and the ceramic substrate 2 was formed.

[0019] Next, after screen-stenciling the conductive paste which uses Cu with a mean particle diameter of 2 micrometers as a principal component to the principal plane of a ceramic substrate and forming a touch-down circuit pattern in it, it calcinates at the temperature of 900 degrees C. The photosensitive insulation paste which moreover uses HOU lead silicate system glass and alumina powder as a principal component, and also contains a photosensitive emulsion is applied. It exposes through the photo mask which has a predetermined pattern, and a developer removes the photosensitive insulation paste of the part used as electric conduction beer. And it calcinates at the temperature of about 920 degrees C. The 1st wiring layer 61 was formed now.

[0020] The 2nd wiring layer 62 was formed by similarly, screen-stenciling conductive paste on the 1st wiring layer 61, forming and calcinating a signal circuit pattern, applying said photosensitive insulation paste on it, performing exposure development and calcinating.

[0021] Thus, spreading, exposure, development, and baking of a photosensitive insulation paste were repeated 4 times by this example in printing and baking of conductive paste, and a list. under the present circumstances -- as the screen mask which prints conductive paste -- each -- the line breadth of 20 micrometers, and sha -- 20 micrometers of thickness, 400 meshes, hole pitch 60micrometer, 15 micrometers of emulsion thickness, and the thing of 47% of numerical

apertures were used. In conductive paste, the internal wiring 4 and a photosensitive insulation paste became the ceramic insulator layer 5.

[0022] And a photoresist is applied after carrying out sputtering of Ti and the Pd to the aforementioned thickness on the front face of the 4th wiring layer, respectively. Subsequently, the photo mask with which the surface circuit pattern was formed is installed in the upper part, and is exposed, and a developer removes the photoresist of the part used as a surface circuit pattern. Furthermore, after giving Au plating of about 2 micrometers to the part from which the photoresist was removed, front wiring is formed by a solvent's removing a photoresist and removing Ti and Pd of a garbage (part by which Au plating is not carried out) with an etching reagent. The multilayer-interconnection substrate 1 is completed now.

[0023] The result of having measured the specific resistance of internal wiring of the [evaluation] above-mentioned multilayer-interconnection substrate 1 is shown in drawing 3 . An axis of abscissa shows among drawing the count which heat-treated the multilayer-interconnection substrate 1 on the temperature of 900 degrees C, and the conditions for holding-time 5 minutes, and an axis of ordinate shows specific resistance (unit:  $\mu\Omega$  and cm). This drawing shows that resistance does not change even if internal wiring of this example receives the heat history.

[0024] Since the multilayer-interconnection substrate of [effectiveness of example] this example has stable resistance of internal wiring in the low value, it can keep the transmission loss of a signal small. Moreover, since the thickness of a ceramic insulator layer is thin, the distance of signal wiring and touch-down wiring becomes near, and a near end cross talk noise (KB) can be reduced to about 2% by pitch 150micrometer 7% by pitch 100micrometer.

[0025] since front wiring is formed with the thin film on the other hand unlike internal wiring -- a conductor -- a front face can become flat, neither a bonding wire nor a TAB lead can be slippery in the cases, such as IC bonding and TAB junction, and poor junction can be prevented.

[0026] - For the example of comparison-[structure of multilayer-interconnection substrate] comparison, internal wiring was replaced with the thick film of Cu, and the thing of the same structure as the multilayer-interconnection substrate of the above-mentioned example was prepared except considering as the thin film shown in Table 1.

[0027]

[Table 1]

No.	T i 層の厚 さ（平均） [ Å ]	P d 層の厚 さ（平均） [ Å ]	A u 層の厚 さ（平均） [ μ m ]	図 4 中の打 点記号
1	1 0 0 0	2 0 0 0	3	●
2	2 0 0 0	5 0 0 0	3	□
3	5 0 0	1 0 0 0	7	△
4	1 0 0 0	2 0 0 0	7	■
5	2 0 0 0	5 0 0 0	7	○

It replaced with screen-stencil of the [manufacture approach of multilayer-interconnection substrate] conductive paste, and the multilayer-interconnection substrate for a comparison was manufactured by the same approach as the above-mentioned example except forming internal wiring at a FOTORISO process like front wiring.

[0028] The result of having measured the specific resistance of internal wiring on

the same conditions as an example also about the multilayer-interconnection substrate for the [evaluation] above-mentioned comparison is shown in drawing 4 . From this drawing, although internal wiring of this example of a comparison is low resistance at first, by receiving the heat history shows that resistance goes abruptly up. And in the thing which has the thick thickness of the metal part of Ti or Pd by which sputtering was carried out, the R/C is high. In addition, in this drawing, although resistance has fallen by the way, this is based on the condition of 15 counts of heat treatment of having been spread, and adhesion is getting worse.

[0029] - The multilayer-interconnection substrates of example 2-this example are the multilayer-interconnection substrate of an example 1, and the thing of the isomorphism same quality except making the quality of the material of a ceramic substrate 2 and the ceramic insulator layer 5 into cordierite. Thus, since the dielectric constant is as low as 5.0 when the quality of the material of a ceramic substrate 2 and the ceramic insulator layer 5 is made into cordierite, signal velocity of propagation serves as a high speed further. Moreover, since the quality of the material of a ceramic substrate 2 and the ceramic insulator layer 5 is the same, a coefficient of thermal expansion is also the same, and both adhesion is good.

[0030]

[Effect of the Invention] Since the multilayer-interconnection substrate of this invention has stable resistance of internal wiring in the low value, the transmission loss of a signal is small maintainable. Moreover, since internal wiring is formed with the thick film, it can manufacture a high density wiring substrate by low cost.

---

[Translation done.]

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

### [Brief Description of the Drawings]

[Drawing 1] It is the sectional view showing the important section of the multilayer-interconnection substrate of an example.

[Drawing 2] It is a sectional view explaining the definition of the display flatness of front wiring.

[Drawing 3] It is the graph which shows the result of having measured the specific resistance of internal wiring, about the multilayer-interconnection substrate of an example.

[Drawing 4] It is the graph which shows the result of having measured the specific resistance of internal wiring, about the multilayer-interconnection substrate of the example of a comparison.

### [Description of Notations]

- 1 Multilayer-Interconnection Substrate
  - 2 Ceramic Substrate
  - 3 Multilayer-Interconnection Layer
  - 4 Wiring -- Conductor
  - 41 Internal Wiring
  - 42 Front Wiring
  - 5 Ceramic Insulator Layer
-

[Translation done.]

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

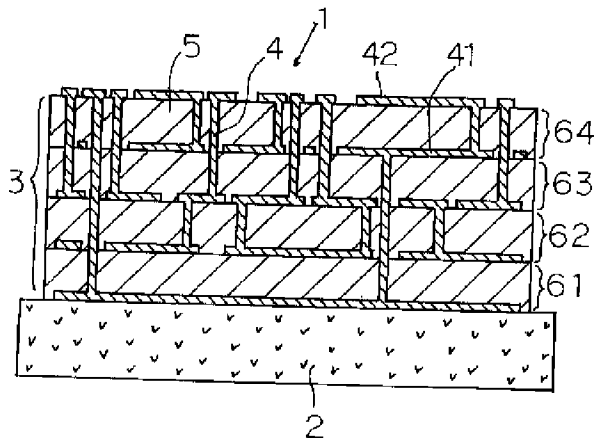
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

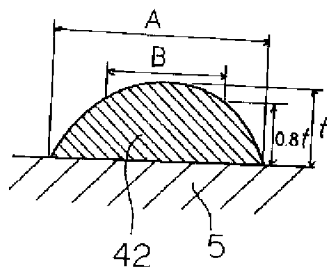
DRAWINGS

---

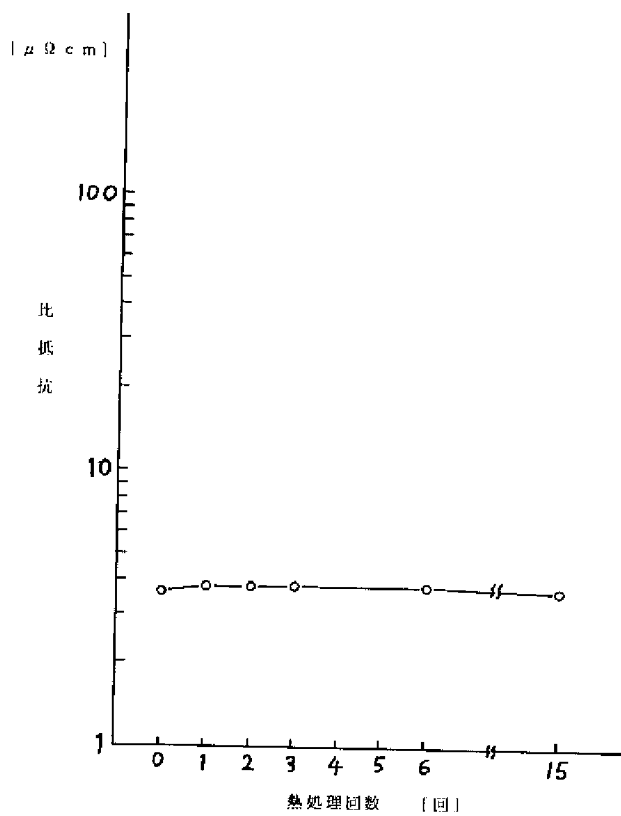
[Drawing 1]



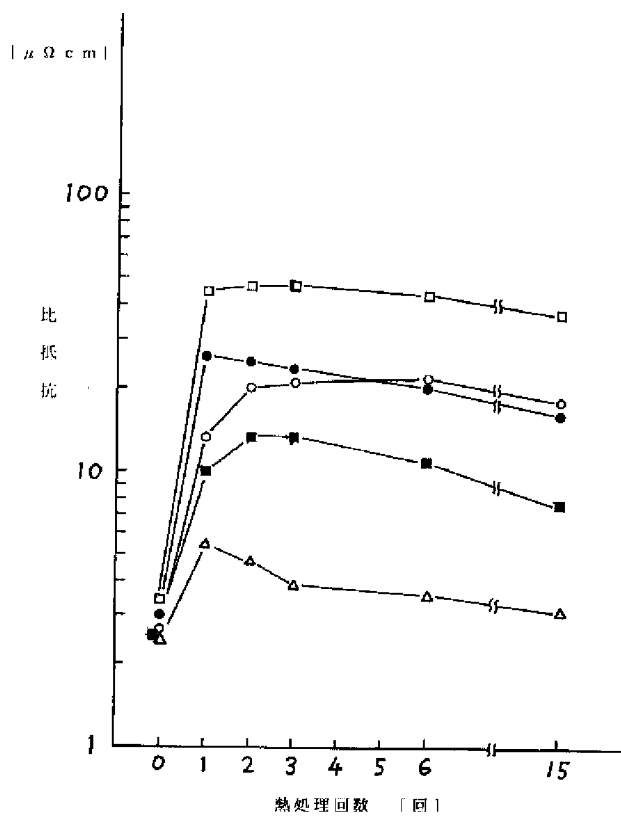
[Drawing 2]



[Drawing 3]



[Drawing 4]



[Translation done.]



(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 5 K 3/46	C	6921-4E		
	H	6921-4E		
	T	6921-4E		

審査請求 未請求 請求項の数5(全 6 頁)

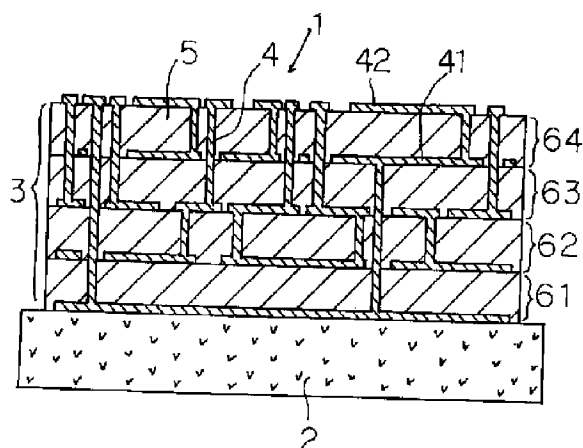
(21)出願番号	特願平4-278034	(71)出願人	000004547 日本特殊陶業株式会社 愛知県名古屋市長区瑞穂区高辻町14番18号
(22)出願日	平成4年(1992)9月22日	(72)発明者	加藤 大典 愛知県名古屋市長区瑞穂区高辻町14番18号 日 本特殊陶業株式会社内
		(72)発明者	木村 幸広 愛知県名古屋市長区瑞穂区高辻町14番18号 日 本特殊陶業株式会社内
		(72)発明者	神戸 六郎 愛知県名古屋市長区瑞穂区高辻町14番18号 日 本特殊陶業株式会社内
		(74)代理人	弁理士 矢野 正行

(54)【発明の名称】 多層配線基板とその製造方法

(57)【要約】

【構成】セラミック基板2と、配線導体4及びセラミック絶縁膜5を有する配線層が複数積層された多層配線層3とが一体化した多層配線基板において、前記配線導体は、多層配線層の外表面に位置する表面配線42と内部に位置する内部配線41とを備え、内部配線41が、厚膜にて形成され、表面配線42が薄膜にて形成されていることを特徴とする多層配線基板1。

【効果】内部配線の抵抗が低い値で安定しているので、信号の伝送損失を小さく維持することができる。また、内部配線が、厚膜で形成されているので、低コストで高密度配線基板を製造することができる。



1

## 【特許請求の範囲】

【請求項1】 セラミック基板と、配線導体及びセラミック絶縁膜を有する配線層が複数積層された多層配線層とが一体化した多層配線基板において、前記配線導体は、多層配線層の外表面に位置する表面配線と内部に位置する内部配線とを備え、内部配線が、厚膜にて形成されていることを特徴とする多層配線基板。

【請求項2】 表面配線が薄膜にて形成されている請求項1の多層配線基板。

【請求項3】 セラミック絶縁膜が、コージェライト、ムライト及び結晶化ガラスのうちから選ばれる少なくとも1種以上を主成分とする請求項1の多層配線基板。

【請求項4】 セラミック基板上に、配線導体及びセラミック絶縁膜を有する配線層を複数積層して一体化するにあたって、次の各工程を備えることを特徴とする多層配線基板の製造方法。

(A) 焼成により配線導体となるメタライズインクを、所定の配線パターンにスクリーン印刷した後、焼成する工程。

(B) 焼成によりセラミック絶縁膜となる感光性ペーストを塗布し、フォトリソを通じて露光し現像した後、焼成する工程。

【請求項5】 工程(A)～(B)を繰り返した後、表面に所定の配線パターンを薄膜にて形成する請求項4の多層配線基板の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、セラミック基板と、多層配線層とが一体化した多層配線基板に関するものであり、高密度ICパッケージに好適に利用され得る。

## 【0002】

【従来の技術】 高密度ICパッケージは、支持体を兼ねるセラミック基板と、このセラミック基板の主表面に形成された薄膜配線部とで構成されており、場合により更にその上面の周縁部にコパール等からなる封止用枠体が接合されたり、多層配線基板の裏面に多数のコパール等からなるI/Oピンが接合されている。

【0003】 セラミック基板は、アルミナ等を主成分とするセラミックスからなり、板形状の複数枚の絶縁層と、各絶縁層の主表面に高融点金属にて形成された各種配線パターンとを備えており、最上層は、薄膜配線を形成するにあたって、露光時の焦点ボケを防止するために研磨されて表面うねりが除去されている。

【0004】 薄膜配線部は、ポリイミド等の有機質絶縁材料、またはガラス、結晶化ガラス等の無機質絶縁材料からなる複数枚の絶縁膜と、各絶縁膜の主表面にチタンもしくはクロム等の活性金属、及び金、銅等の低抵抗金属からなり、蒸着、スパッタリング、鍍金等の薄膜技術にて形成された各種配線導体とを備えている。そして、各絶縁膜には、層間の導通を図るために適宜導電ビアが

2

設けられている。ここで、活性金属は、絶縁膜との密着性を良くするために蒸着、スパッタリング等されるものであるが、蒸着、スパッタリング等のみで十分な導体厚みを確保するのは困難であることから、低抵抗金属が鍍金されているのである。

## 【0005】

【発明が解決しようとする課題】 しかし、上記従来の技術において、ポリイミド等の有機質絶縁材料にて絶縁膜を構成するものは、その有機質絶縁材料自体が非常に高価であるに加えて、配線導体を必然的に薄膜技術で形成しなければならない。このように薄膜技術にて配線導体を成膜し、いわゆるフォトリソ技術にて配線パターンを形成してなる薄膜配線は、その工程も長くコストの高い手法である。従って、研磨コストと薄膜配線層の増加に伴うコストとが加算されて著しいコスト高となる。

【0006】 また、ガラス、結晶化ガラス等の無機質絶縁材料にて絶縁膜を構成するものは、これら無機質絶縁材料を含むペーストを塗布し焼成する際に、配線導体中の活性金属と低抵抗金属とが拡散し合って、配線導体の抵抗上昇及び固着強度劣化を招く。本発明の目的は、このような従来技術の課題を解決し、低いコストで高密度の配線層を備えた多層配線基板を提供することにある。

## 【0007】

【課題を解決するための手段】 その手段は、セラミック基板と、配線導体及びセラミック絶縁膜を有する配線層が複数積層された多層配線層とが一体化した多層配線基板において、前記配線導体は、多層配線層の外表面に位置する表面配線と内部に位置する内部配線とを備え、内部配線が、厚膜にて形成されていることを特徴とする多層配線基板にある。

【0008】 この多層配線基板において望ましいのは、表面配線が薄膜にて形成されているものである。同じく望ましいのは、セラミック絶縁膜が、コージェライト、ムライト及び結晶化ガラスのうちから選ばれる少なくとも1種以上を主成分とするものである。

【0009】 このような多層配線基板を製造する一の手段は、セラミック基板上に、配線導体及びセラミック絶縁膜を有する配線層を複数積層して一体化するにあたって、次の各工程を備えることを特徴とする。

(A) 焼成により配線導体となるメタライズインクを、所定の配線パターンにスクリーン印刷した後、焼成する工程。

(B) 焼成によりセラミック絶縁膜となる感光性ペーストを塗布し、フォトリソを通じて露光し現像した後、焼成する工程。

上記の製造手段において望ましいのは、工程(A)～(B)を繰り返した後、表面に所定の配線パターンを薄膜にて形成する方法である。

【0010】 ここで、内部配線の厚膜導体となるメタライズインクは、Cu、Ag、Ag/Pd混合物、Au、

3

Au/Pd混合物を主成分とするものが望ましい。また、表面配線の薄膜導体としては、Ti及びPdを順にスパッタリングし、その上にAu鍍金を施したものや、Ti及びCuを順にスパッタリングし、その上にCu、Ni及びAuの鍍金を順に施したもの、更に前記TiとCuとの中間にMoをスパッタリングしたものが望ましい。

【0011】上記各製造手段において、スクリーン印刷に用いるマスクとしては、線幅15~25 $\mu$ m、紗厚20~45 $\mu$ m、300~400メッシュ、穴ピッチ60~90 $\mu$ m、乳剤厚10~20 $\mu$ m、開口率40~60%の範囲のものが良い。

【0012】

【作用】多層配線層の内部配線が厚膜で形成されているので、焼成による熱履歴を受けても内部配線導体が拡散して抵抗上昇を起こすことがない。また、メタライズインクをスクリーン印刷することにより、配線パターンを形成するため、工程が短く低コストとなる。更に、セラミック絶縁膜の原材料に感光性ペーストを用いると、その厚さ方向を貫通する導電ビアを、露光現像といったフォトリソ技術によって、微細且つ高精度に形成することができる。尚、上記マスクを用いてメタライズインクをスクリーン印刷することにより、フォトリソ技術で形成したセラミックス絶縁膜の微細ピッチ及び高精度に見合う配線パターンを容易に形成することができる。

【0013】一方、内部配線と異なり表面配線が薄膜で形成されていると、導体表面が平坦となり、ICボンディング、TAB接合等の際にボンディングワイヤやTABリードが滑ることがない。尚、表面配線は、熱履歴を受けることがないので、薄膜で形成しても活性金属と低抵抗金属との熱拡散による抵抗上昇のおそれがない。

【0014】

【実施例】

一実施例1—

〔多層配線基板の構造〕本発明の実施例にかかわる多層配線基板を図面とともに説明する。図1は、多層配線基板の断面図である。

【0015】多層配線基板1は、セラミック基板2と、その上の多層配線層3とが一体化したもので、その特性インピーダンスは50 $\Omega$ に設計されている。セラミック基板2は、それ自体が内部配線を有する多層配線基板であっても良いし、内部配線を有しない単板であってもよい。

【0016】多層配線層3は、配線導体4及びセラミック絶縁膜5を有する配線層6が複数積層されているものである。そして、配線導体4のうち、多層配線層3の内部に位置する内部配線41は、直径50 $\mu$ mの導電ビアも含めてCuよりなる厚さ10 $\mu$ m、幅50 $\mu$ mの厚膜にて形成されている。

【0017】一方、配線導体4のうち、最上面に位置す

4

る表面配線42は、内部配線41と同じ幅で、厚さ2000オングストロームのTi、厚さ5000オングストロームのPd及び厚さ2 $\mu$ mのAuの三層構造（図示省略）よりなる薄膜にて形成されていて、その平坦度は、>90%である。ここで、平坦度とは、図2に示すようなボンディングパッド断面形状において、配線導体42の厚さをt、セラミック絶縁膜5の表面からの高さが0.8tの幅をB、パッドの全幅をAとすると、(B/A)×100をもって定義した。ちなみに通常の厚膜法の場合、平坦度は60~80%と低い。また、セラミック絶縁膜5は、ホウ珪酸鉛系ガラス及びアルミナからなる誘電率8.8の結晶化ガラスにて形成されていて、その厚さは、60 $\mu$ mである。

【0018】〔多層配線基板の製造方法〕次に上記多層配線基板の具体的製造方法を説明する。まず、アルミナ等のセラミックスを主成分とする5枚のグリーンシートの各配線等を層間接続する導電ビアを打ち抜き加工し、このビアにタングステンWもしくはモリブデンMo等の金属ペーストを充填する。ビア充填されたグリーンシートの表面に、金属ペーストを所定パターンにスクリーン印刷して、信号配線、電源配線、接地配線等の各種配線パターン及びブレースパッド（図示省略）を形成する。そして、これらグリーンシートが積層され、熱圧着された後、1500度前後の高温で焼成されてセラミック基板2が形成された。

【0019】次に、セラミック基板の主面に平均粒径2 $\mu$ mのCuを主成分とする導体ペーストをスクリーン印刷して接地配線パターンを形成した後、温度900℃で焼成する。その上に、ホウ珪酸鉛系ガラス及びアルミナ粉末を主成分とし感光性乳剤をも含有する感光性絶縁ペーストを塗布する。所定パターンを有するフォトマスクを通じて露光し、導電ビアとなる部分の感光性絶縁ペーストを現像液にて除去する。そして、920℃程度の温度で焼成する。これにて第1配線層61が形成された。

【0020】同様にして、第1配線層61の上に導体ペーストをスクリーン印刷して信号配線パターンを形成し、焼成し、その上に前記感光性絶縁ペーストを塗布し、露光現像を行い、焼成することによって、第2配線層62が形成された。

【0021】このように導体ペーストの印刷及び焼成、並びに感光性絶縁ペーストの塗布、露光、現像及び焼成を本例では4回繰り返した。この際、導体ペーストを印刷するスクリーンマスクとしては、いずれも線幅20 $\mu$ m、紗厚20 $\mu$ m、400メッシュ、穴ピッチ60 $\mu$ m、乳剤厚15 $\mu$ m、開口率47%のものをを用いた。導体ペーストは、内部配線4、感光性絶縁ペーストは、セラミック絶縁膜5となった。

【0022】そして、第4配線層の表面にTi及びPdをそれぞれ前記の厚さにスパッタリングした後、フォトレジストを塗布する。次いで、表面配線パターンが形成

5

されたフォトマスクをその上方に設置し、露光し、表面配線パターンとなる部分のフォトレジストを現像液にて除去する。更に、フォトレジストが除去された部分に2  $\mu\text{m}$ 程度のAu鍍金を施した後、フォトレジストを溶剤にて除去し、不要部分(Au鍍金されていない部分)のTi及びPdをエッチング液にて除去することにより、表面配線が形成される。これにて多層配線基板1が完成する。

【0023】〔評価〕上記多層配線基板1の内部配線の比抵抗を測定した結果を図3に示す。図中、横軸は、温度900℃、保持時間5分の条件で多層配線基板1を熱処理した回数を示し、縦軸は、比抵抗(単位： $\mu\Omega\cdot\text{cm}$ )を示す。この図より、本実施例の内部配線は、熱履歴を受けても抵抗が変化しないことが判る。

【0024】〔実施例の効果〕本実施例の多層配線基板は、内部配線の抵抗が低い値で安定しているため、信号\*

6

\*の伝送損失を小さく保つことができる。また、セラミック絶縁膜の厚さが薄いので、信号配線と接地配線との距離が近くなり、近端クロストークノイズ( $K_1$ )をピッチ100  $\mu\text{m}$ で7%、ピッチ150  $\mu\text{m}$ で2%程度に低減することができる。

【0025】一方、表面配線は、内部配線と異なり薄膜で形成されているので、導体表面が平坦となり、ICボンディング、TAB接合等の際にボンディングワイヤやTABリードが滑ることがなく、接合不良を防止することができる。

【0026】—比較例—

〔多層配線基板の構造〕比較のために、内部配線を、Cuの厚膜に代えて、表1に示す薄膜とする以外は、上記実施例の多層配線基板と同一構造のものを準備した。

【0027】

〔表1〕

No.	Ti層の厚さ(平均) [Å]	Pd層の厚さ(平均) [Å]	Au層の厚さ(平均) [ $\mu\text{m}$ ]	図4中の打点記号
1	1000	2000	3	●
2	2000	5000	3	□
3	500	1000	7	△
4	1000	2000	7	■
5	2000	5000	7	○

〔多層配線基板の製造方法〕導体ペーストのスクリーン印刷に代えて、表面配線と同様にフォトリソ工程にて内部配線を形成する以外は、上記実施例と同一の方法にて比較用の多層配線基板を製造した。

【0028】〔評価〕上記比較用の多層配線基板についても、実施例と同じ条件にて内部配線の比抵抗を測定した結果を図4に示す。この図より、本比較例の内部配線は、最初は低抵抗であるものの、熱履歴を受けることにより抵抗が急上昇することが判る。しかもスパッタリングされたTiまたはPdの金属部分の厚さが厚いものほ

ど、上昇率が高くなっている。尚、同図において、熱処理回数15回のところで抵抗値が下がっているが、これは拡散しきった状態によるものであり、密着性が悪くなっている。

【0029】—実施例2—

本実施例の多層配線基板は、セラミック基板2及びセラミック絶縁膜5の材質をコージェライトとする以外は、実施例1の多層配線基板と同形同質のものである。このように、セラミック基板2及びセラミック絶縁膜5の材質をコージェライトとすると、その誘電率が5.0と低

7

いので、信号伝搬速度が更に高速となる。また、セラミック基板2とセラミック絶縁膜5との材質が同じなので、熱膨張係数も同じであり、両者の密着性が良い。

【0030】

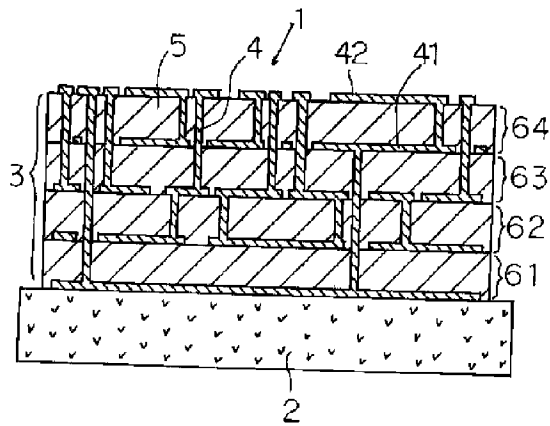
【発明の効果】本発明の多層配線基板は、内部配線の抵抗が低い値で安定しているので、信号の伝送損失を小さく維持することができる。また、内部配線が、厚膜で形成されているので、低コストで高密度配線基板を製造することができる。

【図面の簡単な説明】

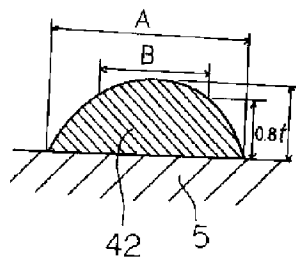
【図1】実施例の多層配線基板の要部を示す断面図である。

【図2】表面配線の平坦度の定義を説明する断面図であ

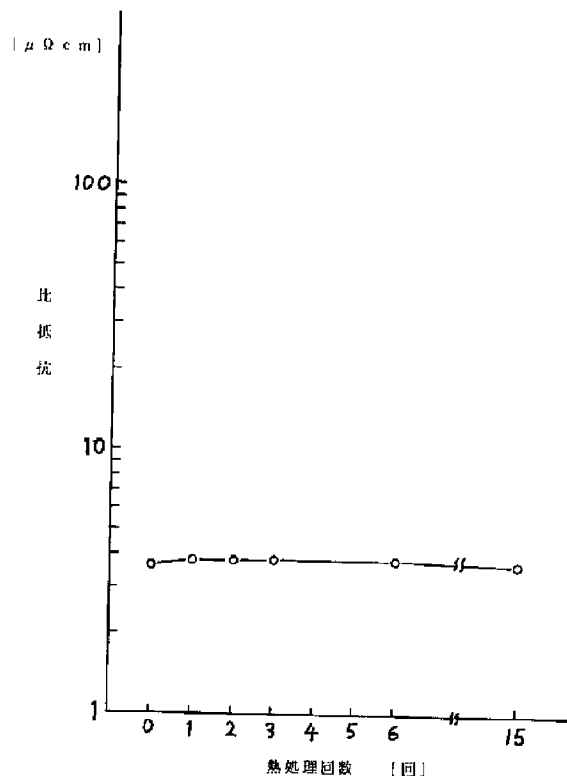
【図1】



【図2】



【図3】



8

る。

【図3】実施例の多層配線基板について、内部配線の比抵抗を測定した結果を示すグラフである。

【図4】比較例の多層配線基板について、内部配線の比抵抗を測定した結果を示すグラフである。

【符号の説明】

- 1 多層配線基板
- 2 セラミック基板
- 3 多層配線層
- 4 配線導体
- 41 内部配線
- 42 表面配線
- 5 セラミック絶縁膜

10

【図4】

